

(Title of the invention) SEMICONDUCTOR DEVICE, A METHOD OF THE SAME, AND ELECTRIC DEVICE USING A SEMICONDUCTOR DEVICE

BACKGROUND OF THE INVENTION

本発明は電子部品に用いられる半導体素子及びその製造方法に関するものである。詳しくは、半導体チップが実装されたフレキシブルプリント基板（以後、FPCと称す）又はテープキャリアパッケージ（以後、TCPと称す）の構造、さらに、これらの半導体素子を用いた電子機器に関するものである。

表示画面を持つ電子機器として、プラズマパネルや液晶パネルなどの表示パネルを用いた表示装置を例示する。表示装置は、金属薄膜により配線が設けられた透明基板で形成された表示パネルと、表示パネルを駆動するための半導体素子を備えている。半導体素子には、前述のTCPをテープから抜き金型にて所定の形状にて裁断したものや、シート状のFPCを抜き金型にて所定の形状にて裁断したものが用いられる。このような半導体素子は表示パネルに以下の方法で圧着される。ガラス基板の端子部に異方性導電膜（以後、ACFと称す）を貼りつけ、FPCやTCPの端子と透明基板の端子の位置合わせマークを画像認識して、基板上のACFを80℃前後で加熱しながら半導体素子を加圧し、半導体素子を基板に仮付けする。次に、再度FPCやTCPのフィルム側から200℃前後で加熱加圧する。これにより、ACF内の導電粒子が潰れて電氣的導通が得られることとなり接続が完了する。以下に、図1～3を用いて前者の内容を説明する。

図1に示すように、表示パネル1を構成する透明基板の縁部には並列に形成された端子2が設けられている。一方、図2に示すように、ICチップ8が設けられたTCP4の配線板の接続端子5は、透明基板の端子2と同一形状寸法にて形成されている。その透明基板の端子部にACF3を貼りつけ、さらにTCP4の配線板位置合わせマーク7とガラス基板側位置合わせマーク6を画像処理しながら両者を位置合わせし、透明基板の端子2とTCP4の接続端子5を熱圧着にて接続する。

図3は、TCPテープ9を所定の金型で打ち抜いてTCP4を得ることを表す模式図である。所定の形状に打ちぬかれたTCP4は、透明基板側位置合わせマ

ーク6とTCP側位置合わせマーク7を画像認識により位置あわせされ、透明基板の端子2に設けられたACF3をTCP4のフィルム側から加熱して、ACF3の接着剤部を融解して硬化させる。その際、加圧している為ACF内部の導電性粒子は押し潰されてACF粒子を介して透明基板の端子2とTCPの接続端子5を電氣的に導通させることが可能となる。ここで、ICチップ8をTCPテープ9に実装した後、ICチップ8の動作確認のため検査端子10を利用して検査を行う。この検査端子10は、半導体メーカー並びにTCPテープを製作するメーカーでも検査用パッドとして用いられている。TCP4は、TCPテープ9から抜かれたものであり、あとには裁断孔11が残されている。TCP4には検査端子10が含まれないように抜かれている。そのため、TCP4がTCPテープから分離されたあとでは、この検査端子10は使用していない。

【発明が解決しようとする課題】

図4は、ACFを省略した表示パネル1の透明基板とTCP4の端子5の接続部を示す部分拡大断面面である。従来の接続部のパターンは、図1、図4のように並列で均等に配置されており、透明基板の端子2にTCP4の接続端子を位置合わせしACFにて貼り合わせている。近年、両者を接合する端子ピッチは狭ピッチ化され、さらに、実装効率向上の為多ピン化の傾向になってきた。その為、狭ピッチ、多ピン化における製造上の問題が発覚してきた。

狭ピッチ化された接続端子の第一の課題はピール強度の不足である。これは、フィルムシートやフィルムテープを金型にて打ち抜く際に、打ち抜き抵抗によって、狭ピッチで形成されたパターンがフィルムからささくれ状態ではがれ、隣接するパターン配線部に接触し、電氣的短絡を発生していた。その短絡不具合となるフィルム基板から接続端子が剥がれた状態を図5に示した。すなわち、金型にて打ち抜く際に、接続端子5の一部に、端子剥がれを起こした端子12、13が発生しており、これを表示パネルに接続すると表示不良を起こすことになる。

また、パターンを有する回路基板同士の接続には、図6のように接着剤に導電性粒子51が混入された異方性導電フィルム14を用い、導電性粒子を押し潰して電氣的導通をさせている。そのため、狭ピッチで形成されたパターンを有する回路基板同士の接続において、両者の端子の接続信頼性を確保するためには、両

者端子の接触面内に導電性粒子 51 を対向する両端子間に出来るだけ多く存在させる必要がある。すなわち、第二の課題として、両者端子の位置あわせは接続信頼性に影響を及ぼすために、FPCのパターン製造精度、フィルム材料特性等に高難度な要求および保管管理が必要である。

また、接続端子の狭ピッチ化により従来使用される面積内で高密度の多ピン配置を実施することが可能になり、配線部や接合部を顕微鏡等で外観を人為的に検査していたが、近年、電氣的に短絡、断線等の不良判別を実施するために各接続端子にテスト用ランドを設けようになってきた。各端子に接続してあるテスト用ランドは、表示素子に実装する電子部品としては不要な為、FPC、TCPは、接続端子からテストランドを切離し廃棄しており、多ピン化によるテストランドの配置面積は、実際、使用するTCP、FPCの面積よりも大きくなり、TCP、FPCの部材コストを圧迫するようになってきた。これが第三の課題である。

上述した各課題に対して、本発明によれば、打ち抜きの際のパターン剥離防止および、それに伴う接続不良、狭ピッチ化による基板同士の接続精度の低減、部材費コストの低減を目的とした半導体素子パッケージを含む電子部品およびその製造方法が提供できる。

SUMMARY OF THE INVENTION

上述した第一の課題に関して、ピール強度を向上させる為に専用接続端子をランド形状の階段配置、又は、格子配置にして、接続ランド外形寸法幅をテスト可能なランドサイズとしてテスト端子、接続端子の兼用化できる構造とした。

また、第二の課題に関して、各ランドへの配線ピッチをエッチング可能な配線ピッチとして、さらに接続されるランド以外に有機絶縁性なる樹脂等にて印刷法又は、フォトリソグラフ法を用いて被膜し接続端子間ピッチの拡大化したTCPおよびガラス基板用の接続端子構造とした。さらに、第三の課題に関して、端子の兼用化による基材の使用範囲の低減化が可能になる構造とした。

BRIEF DESCRIPTION OF THE DRAWINGS

図1; 表示パネルとTCPの接続を説明する斜視図である。

図2; 表示パネルとTCPの構造を示す斜視図である。

図3; TCPのパッケージ形態を示す斜視図である。

図4 ; 表示パネルとTCPの接続部を拡大して示す斜視図である。

図5 ; TCPの接続部の不良を説明する斜視図である。

図6 ; ACF接合を説明する断面図である。

図7 ; 本実施例の接続端子部を示す概要図である。

図8A ; 本発明の打ちぬき形状を表す模式図である。

図8B ; 従来の打ちぬき形状を表す模式図である。

図9 ; 本発明の打ちぬきを説明する斜視図である。

図10 ; 本発明の接続構造を説明する拡大斜視図である。

図11 ; 本発明によるACF接合を説明する模式断面図である。

図12 ; 本発明による接端子ユニット部の詳細図である。

DESCRIPTION OF THE PREFERRED EMBODIMENT

本発明の半導体素子は、複数のランド状の接続端子が階段状、もしくは、格子状に配置され、各ランド状の接続端子へ配線された導体に絶縁膜が設けられた接続端子部を有するフレキシブルプリント基板と、フレキシブルプリント基板に実装された半導体チップと、を備えることとした。さらに、ランド状の接続端子を電氣的検査用の端子と兼用化したこととした。

また、本発明による半導体素子の製造方法は、複数のランド状の接続端子が階段状、もしくは、格子状に配置され、各ランド状の接続端子へ配線された導体に絶縁膜が設けられた接続端子部を有するフレキシブルプリント基板を形成する工程と、フレキシブルプリント基板に半導体チップを実装する工程と、フレキシブルプリント基板を最外部となる接続端子ランドの一部を切断することにより、半導体素子をフレキシブルプリント基板から分離する工程とを備えている。

さらに、接続端子ランドを用いて電氣的な検査をする検査工程を備えている。ここで、検査工程において、半導体チップを検査することとした。あるいは、この検査工程において、フレキシブルプリント基板のパターン検査をすることとした。

また、本発明の電子装置は、複数の接続端子ランドが階段状、もしくは、格子状に配置され、各接続端子ランドへ配線された導体に絶縁膜が設けられた接続端

子部を有するフレキシブルプリント基板と、フレキシブルプリント基板に実装された半導体チップと、半導体チップからの出力信号が複数の接続端子ランドを経由して入力されることにより駆動される電子部品を備えている。

さらに、電子部品には、フレキシブルプリント基板と接続する部位に端子部が設けられ、この端子部には、フレキシブルプリント基板の接続端子ランドと対向する位置に端子が設けられ、この端子に接続する配線上には絶縁膜が被膜されている。

次に、本発明の要部を図7に基づいて説明する。図7は、TCP、又は、FPC側の接続端子の平面拡大図である。図示するように接続端子をランド形状とし(ランド15)、さらに配線17をエッチング可能な最小ピッチで形成している。ここで、外部応力等による断線、位置ずれ、ゴミなどによる短絡の発生を抑えるために有機絶縁膜16を設けて配線17を保護した。この時、表示パネルの透明基板側にも同様に端子以外のスペースを有機絶縁膜16のような絶縁膜にて保護することで接続信頼性は向上させることができる。破線19は、TCP、又は、FPC等の使用に適した所定の形状に裁断する為の裁断線である。所定の形状に金型などで裁断する際、最外部ランド15-1の上で裁断された最外部ランド部は、他のランド15と同一形状になる様にした。その結果、ランドの幅は従来の接続配線5より3倍の幅を持つこととなり、絶対ピール強度が向上した。

また、TCPの接続端子をランド形状にすることにより、検査端子と接続端子を兼用化することが可能になり、従来必要としていた並列均等な専用接続端子が必要となくなった。そのため、TCP、FPCのサイズを縮小することが可能になった。接続端子をランド形状にすることにより各ランドの左右方向においてラフピッチとなり、透明基板とTCP、又は、FPCとの位置合わせに高度な精度は不要となり、また高い外形寸法精度の必要性も無くなった。

以下の表1に、 $54\mu\text{m}$ ピッチの時の接続端子長 1.5mm エリア内でのランドサイズ・位置ずれ許容量と段数との関係を示す。

【表1】

	2 段	3 段	4 段	5 段
ランド幅 (μm)	35	44	53	62
ランド長 (μm)	720	465	332	260
ランド面積 (μm^2)	25200	20460	17596	16120
接触面積 $13500\mu\text{m}^2$	± 16	± 15	± 12	± 10
時の位置ずれ許容量	μm	μm	μm	μm

前提条件：54 μm ピッチ品

TCP側接続端子面積： $27000\mu\text{m}^2=1500\mu\text{m}$ 長さ \times 18 μm 幅

位置ずれ9 μm (端子幅の1/2)での接触面積： $13500\mu\text{m}^2$

表1から、高度な接続位置寸法精度を必要としないことがわかる。

以下に、図面を参照して本発明の実施例を詳細に説明する。

(実施例1)

本実施例の端子構造は、テスト用端子と専用接続端子が兼用化され階段状、または、格子状に配置された構造に関わるものである。図7は、54 μm ピッチの接続端子を5段とした接続ランドのレイアウトを示す部分拡大図である。このようなTCPが設けられたキャリアテープの全体図を図8Aに示す。そのTCPのランドとそれを接続する為の表示パネルの端子を図10に示した。また、接続端子を2段とした接続ランドを持つTCPをキャリアテープから打ち抜いて形成することを図9に模式的に示す。

本発明の半導体素子は、従来のアウターリードと呼ばれる専用接続端子を持たず、接続部分をランド形状にして、テスト端子としても使用できるようにした。そして、接続端子であるランド15の外形寸法は63 $\mu\text{m} \times$ 260 μm とした。裁断線19の位置にて打ち抜き位置精度 $\pm 150\mu\text{m}$ でTCPを基材から裁断した時、ランド15-1が前者のランド外形寸法に一致するように、63 $\mu\text{m} \times$ 410 μm とした。さらにランド15-2についても、フォトリソグラフ、又は印刷方法を用いて、半導体チップから接続端子ランド部まで有機絶縁膜16が被覆するようにした。ランド幅寸法を拡大するためには、配線17をエッチング可能

な最小ピッチにする必要がある。従来は、検査端子への配線は有機絶縁膜に被覆されておらず、短絡を防ぐために、強制的に導電除塵ブラシ等を使用して埃、ゴミ等を取り除いていた。本発明によれば、配線17を有機絶縁膜16で被覆することで外部応力における機械的不良、断線又は、埃、ゴミ等による短絡、実装装置、材料の位置精度、繰返し精度の劣化による短絡などの不良を防止することが可能になった。尚、ランド15の幅と段数の関係は、前出の表1のようになり段数を増やすことでランド幅方向が増加することがわかる。ここで、配線17には、厚さ8 μ mの銅箔を使用しており、ミニマムピッチとして40 μ mを使用した。

前提条件にて作図した結果、段数の増加は、ランド幅を増加させることに寄与していることが判る。さらに、従来の配線幅18 μ mの位置ずれ寸法容量差を端子幅の1/2、即ち9 μ mの接続ズレが生じた場合、従来品では、13500 μ m²となり50%減少となるが、接続端子幅を広げることによりズレ量9 μ mは幅との比率関係であることからランド幅35 μ m時に約25%減少でしかない。よって、狭ピッチ接続に関しては、マシーン繰返し精度が低下しても接続信頼性は確保できる。

このように段数を増加させる事でランド幅が増加する訳であり、横方向のズレに関して従来の管理方法で狭ピッチ接合と同様の端子を保有する図8AのようなTCPを供給することができた。裁断線19に囲まれた本発明品20(図8A)と従来品21(図8B)は同一形状であるが、従来品21より本発明品20は、使用している外形寸法としてスプロケットホール22を1個分縮小することができた。よって、基材の面積縮小の結果、コストを抑えることが出来た。

このように、接続ランドを導通検査用ランドとして使用することで従来使用された専用接続端子長のエリアを低減できるため、TCPの小型化が実現するとともに高密度実装への貢献、部材費の低減に貢献した。

本発明品も使用に際しては、従来どおり基材となるフィルムテープに図3のように搭載されている為、所定の金型等にてフィルムテープから切離する必要がある。従来、狭ピッチの専用接続配線を切断する時凸金型に対するTCPデバイスのパターンの上下方向、刃の磨耗度、金型の凹凸型のクリアランス等に細心の注

意を促していたが、本発明品では図7に示すようにランドは従来の狭ピッチ品75 μ m品の5倍以上の接続端子幅があり、それに伴い、密着強度も3倍から6倍の数値を得ることができた。さらに刃の磨耗度、TCPデバイスの金型による打ち抜き方向に注意を促す必要がなくなり、金型の寿命が延びる為生産性およびメンテナンスの費用削減に寄与した。従来品での専用接続端子の基材からの剥がれによる表示パネルへの実装後の短絡不良は、端子密着力の向上にてその不具合が解消され、実装歩留まりが上がり不良コストが大幅に低減できた。

次に、本発明品の使用方法および表示パネルとの接続方法を説明する。図10は表示パネル側の端子22とTCP、又は、FPCの接続端子24の間にACF23を示したものである。表示パネル側にもTCP端子ランド15と対応するように表示パネル端子ランド25が存在し、さらに端子への配線26が同様に施されている。表示パネル側の端子22上にACF23を貼りつけ、その後、表示パネル側の位置合わせマーク6とTCP側位置合わせマーク7を画像処理し、両端子の位置合わせ終了後、ACF23を介在させた状態でTCPの接続端子24上を加熱圧接して各端子の接合を完了させる。この端子接続時、従来の実装設備を使用しているために、従来と同等の端子接続位置ずれが生じる。しかしながら、TCP接続端子ランドに隣接した配線17には、有機絶縁膜16が図7で示したように被覆されているため配線同士の短絡現象が起こることはない。さらに表示パネル端子ランドに隣接する配線26にもTCP接続端子ランドに隣接した配線17と同様に配線上部に絶縁膜を施せば、さらに位置ズレ等による短絡現象不良を回避でき都合がよい。このようにしてACF接合における狭ピッチ多ピン化における接合技術が、従来の装置を改造なくして供給できるようになった。

図11は、表示パネルの端子ランド25とTCP、又は、FPCの接続端子ランド15の両接続端子が、ACF粒子5-2によって接続された断面図である。図11のように接続端子面以外は、TCP、FPC側の有機絶縁膜16によりTCP、FPC側の配線17を被覆し、さらに、表示パネルの配線26もTCPの配線17と同様に被膜され端子同士の接触に対して絶縁されている。即ち、絶縁されていない両端子面のみにACF粒子5-2が接触し、ACFの樹脂によって接続状態を維持することができる。

図12に、接続ランド面積を一定とした場合の接続端子ランドのレイアウトを示す。なお、ここでは絶縁膜は省略されている。接続端子ランド間を完全に絶縁膜にて孤立させた場合、図12のように接続端子面積を一定とした接続端子ランドの配列が可能になり、更なる高密度な接続端子ランド配置が実現できる。この時の各端子サイズは以下の表2に示す通りであり、 $54\mu\text{m}$ ピッチの専用接続端子を有する接続品よりも数段低難度な接合を可能にすることができる。ここで、TCP、又は、FPCの場合の接続端子ランド32は、所定の形状に裁断された後 $70\mu\text{m}$ になる様にしなければならない。

【表2】

No.	28	29	30	31	32
長さ (μm)	200	145	110	90	70
幅 (μm)	90	130	170	210	250
面積 (μm^2)	18000	18200	18700	18900	17500

尚、上記の表2に設計された各条件は以下の通りである。

ランド端子配列長34 : $815\mu\text{m}$

端子間ギャップ33 : $50\mu\text{m}$

配線ピッチ17 : $40\mu\text{m}$

よって、専用接続端子 $54\mu\text{m}$ ピッチ品での端子幅は $22\mu\text{m}$ であり、長さ $1000\mu\text{m}$ 、面積 $22000\mu\text{m}^2$ であるが、位置ずれ許容値がリード幅の半分、即ち、 $11\mu\text{m}$ ずれた場合、面積も半分の $11000\mu\text{m}^2$ となるが、本発明品では、 $11\mu\text{m}$ のズレが生じてても $15800\mu\text{m}^2$ となる。そのため、従来品よりもACFの導電粒子の存在確立が高くなり、接続の接続信頼性向上につながった。

このように、接続ランドを導通検査用ランドとして使用することで従来使用された専用接続端子長のエリアを低減できるため、TCPの小型化が実現するとともに高密度実装への貢献、部材費の低減が実現できる。

What is claimed is:

1. 複数のランド状の接続端子が階段状、もしくは、格子状に配置され、各ランド状の接続端子へ配線された導体に絶縁膜が設けられた接続端子部を有するフレキシブルプリント基板と、前記フレキシブルプリント基板に実装された半導体チップと、を備えることを特徴とする半導体素子。

2. 前記ランド状の接続端子を電氣的検査用の端子と兼用化したことを特徴とする請求項1に記載の半導体素子。

3. 複数のランド状の接続端子が階段状、もしくは、格子状に配置され、各ランド状の接続端子へ配線された導体に絶縁膜が設けられた接続端子部を有するフレキシブルプリント基板を形成する工程と、

前記フレキシブルプリント基板に半導体チップを実装する工程と、

前記フレキシブルプリント基板を、前記階段状もしくは、格子状に配置された接続端子ランドの最外部となる接続端子ランドの一部を切断することにより、半導体素子を前記フレキシブルプリント基板から分離する工程と、を有することを特徴とする半導体素子の製造方法。

4. 前記接続端子ランドを用いて電氣的な検査をする検査工程を備えることを特徴とする請求項3に記載の半導体素子の製造方法。

5. 前記検査工程において、前記半導体チップを検査することを特徴とする請求項4に記載の半導体素子の製造方法。

6. 前記検査工程において、前記フレキシブルプリント基板のパターン検査をすることを特徴とする請求項4に記載の半導体素子の製造方法。

7. 複数の接続端子ランドが階段状、もしくは、格子状に配置され、各接続端子ランドへ配線された導体に絶縁膜が設けられた接続端子部を有するフレキシブルプリント基板と、前記フレキシブルプリント基板に実装された半導体チップと、前記半導体チップからの出力信号が前記複数の接続端子ランドを経由して入力されることにより駆動される電子部品を備えることを特徴とする電子装置。

8. 前記電子部品には、前記フレキシブルプリント基板と接続する部位に端子部が設けられ、前記端子部には、前記フレキシブルプリント基板の接続端子ランドと対向する位置に端子が設けられ、前記端子に接続する配線上には絶縁膜が

被膜されたことを特徴とする請求項7に記載の電子機器。

9. 前記電子部品が表示画面を有する表示パネルであることを特徴とする請求項7に記載の電子装置。

ABSTRACT OF THE DISCLOSURE

従来の設備でも多ピン化、狭ピッチ化に対応できる安価な半導体素子を供給すると共にその製造方法を実現する。そのため、本発明の半導体素子では、半導体素子が実装されたフレキシブルプリント基板には、複数のランド状の接続端子が階段状もしくは格子状に配置され、各ランド状の接続端子へ配線された導体には絶縁膜が設けられている。また、本発明の半導体素子の製造方法は、複数のランド状の接続端子が階段状、もしくは、格子状に配置され、各ランド状の接続端子へ配線された導体に絶縁膜が設けられた接続端子部を有するフレキシブルプリント基板を形成する工程と、フレキシブルプリント基板に半導体チップを実装する工程と、フレキシブルプリント基板を最外部の接続端子ランドの一部を切断する工程により、フレキシブルプリント基板から半導体素子を分離する。